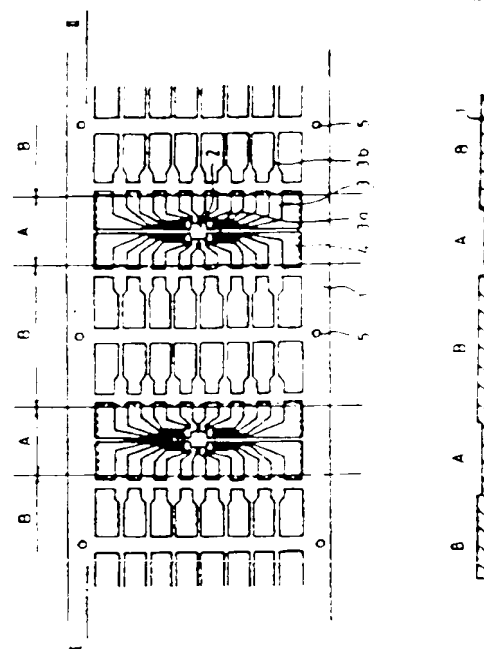


EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER 55163868
 PUBLICATION DATE 20-12-80
 APPLICATION DATE 08-06-79
 APPLICATION NUMBER 54071117
 APPLICANT FUJITSU LTD.
 INVENTOR SUGIURA RIKIO;
 INT. CL. H01L 23/48
 TITLE LEAD FRAME AND SEMICONDUCTOR
 DEVICE USING THE SAME



ABSTRACT PURPOSE: To enhance the strength of an external connector in a lead frame of a resin molded semiconductor device and increase the density of a chip connector by forming thin chip carrying base of the lead frame and thin lead terminal formed therearound and thick external connecting lead terminal.

CONSTITUTION: A guide hole 5 is perforated at a metallic plate, and thin and thick portions A and B are formed by pressing. Then, a chip carrying base 2 and a lead terminal 3 are formed on the lead frame 1 by stamping. The semiconductor chip is carried on a chip carrying base 2, wire bonded to the lead terminal 3, and clamped from both front and rear surfaces of the molding frame, resin is filled to seal the semiconductor device.

COPYRIGHT: (C)1980.JPO&Japio

⑬ 日本国特許庁 JPT

⑭ 特許出願公開

⑯ 公開特許公報 A

昭55-163868

① Int. Cl.³
H 01 L 23/48

識別記号

庁内整理番号
7357-5F

③ 公開 昭和55年(1980)12月20日

発明の数 2
審査請求 未請求

(全 4 頁)

④ リードフレームおよびこれを用いた半導体装置

富士通株式会社内
② 発明者 山内修
川崎市中原区上小田中1015番地
富士通株式会社内
② 発明者 杉浦力夫
川崎市中原区上小田中1015番地
富士通株式会社内
④ 出願人 富士通株式会社
川崎市中原区上小田中1015番地
④ 代理人 弁理士 青木朗 外 3 名

① 特 願 昭54-71117
② 出 願 昭54(1979)6月8日
③ 発 明 者 青木強
川崎市中原区上小田中1015番地
富士通株式会社内
③ 発 明 者 窪田昭弘
川崎市中原区上小田中1015番地

明 証 書

1. 発明の名称

リードフレームおよびこれを用いた
半導体装置

2. 特許請求の範囲

1. 樹脂封止型半導体装置のチップ搭載ベースおよびリード端子を形成するためのリードフレームにおいて、樹脂封止部内に位置すべきチップ搭載ベースおよびその周囲のリード端子のチップ搭載リード部を形成するための導肉部およびリード端子の外部接続リード部を形成するための導肉部を有することを特徴とするリードフレーム。

2. 樹脂封止型半導体装置において、樹脂封止部内のチップ搭載ベースおよびその周囲のリード端子のチップ搭載リード部の肉厚が樹脂封止部外側に露出したリード端子の外部接続リード部の肉厚より薄いことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は樹脂封止型半導体装置およびこれを

である。

樹脂封止型半導体装置を形成するためのリードフレームは半導体素子であるチップを搭載するチップ搭載ベース(ステージ)およびその周囲の多数のリード端子(外部接続端子)により構成され、多数の半導体装置を連続的に製造するために通常1枚のリードフレーム内に多数のチップ搭載ベースおよびその周囲のリード端子群が連続して配列される。近年、半導体装置の機能の増大に伴ないリード端子数が増加しさらに装置の小型化の要求により半導体装置のチップ搭載ベース周囲近傍のリード端子のチップ搭載リード部を厚めて高密度に形成しなければならぬ。また、打抜き加工によりリードフレームのチップ搭載ベースおよびリード端子を切断形成する場合、打抜き可能な最小間隔は、通常、材料の厚みの10~12倍である。従って、高密度のリード端子をリードフレームに打抜き加工するにはリードフレームの肉厚を非常に薄くしなければならぬ。しかし、その場合

2等加入
5等加入
10等加入

ルーホール等に挿入され半導体装置自体を支持するため、ある程度以上の強度を有していなければならない。従って、リードフレームの板厚を薄くすると必要な強度が得られなくなるという問題が生ずる。

本発明は上記の点に鑑みなされたものであって、パッケージ本体外部に露出するリード端子の外部接続リード部の強度を所定値以上に保ちかつパッケージ本体内部のリード端子のチップ接続リード部を高密度に形成できるようなリードフレームの提供を目的とする。このため本発明に係るリードフレームはチップ搭載ベースおよびその周囲のリード端子のチップ接続リード部を形成するための厚肉部およびリード端子の外形接続リード部を形成するための厚肉部を有している。

以下、図面に示して本発明の実施例について説明する。

第1図は本発明に係るリードフレームの一実施例の部分平面図である。リードフレーム1はチップ搭載ベース2およびその周囲の多数のリード端

子を打抜き形成したものである。リード端子3はチップ搭載ベース2の近傍周囲のチップ接続リード部3aおよび点線で示した樹脂封止部4の外側の外部接続リード部3bにより構成される。リードフレーム1の外縁には移動用のガイド孔5が設けられる。このリードフレーム1は第2図に示すように厚肉部Aおよび厚肉部Bからなり、厚肉部Aは樹脂封止部4内に位置するチップ搭載ベース2およびその周囲のリード端子3のチップ接続リード部3aを形成する部分であり、厚肉部Bはリード端子3の外形接続リード部3bを形成する部分である。

以上のような構成のリードフレーム1は各リード端子3のチップ接続リード部3aが厚肉部A内で形成されるため多数のリード端子を高密度に打抜き加工されたものである。また、樹脂封止部4の外側のリード端子3の外形接続リード部3bは厚肉部B内で形成されるため充分大きな強度を有している。

次に第3図に示して本発明に係るリードフレー

ムを用いた半導体装置の製造過程の一例を順番に説明する。まず、リードフレーム1の素材となる金属板1'にガイド孔5を穿設する(a図)。次にプレス加工により金属板1'の表裏からプレス型枠でクランプし厚肉部Aおよび厚肉部Bを形成する。このとき金属板1'の厚肉部Aの両側から金属素材6が押出される(b図)。次にこの押出された金属素材6を切断する(c図)。続いて通常の打抜き工程に従ってこの金属板1'を用いてリードフレーム1を打抜き加工する(d図)。次にリードフレーム1のチップ搭載ベース上に半導体素子を搭載し各リード端子とワイヤボンディングした後、この部分をマールド型枠により表裏からクランプし樹脂を注入して樹脂封止してパッケージ本体1を形成する(e図)。さらに通常の切断工程、マージング工程、仕上げ工程等を経て半導体装置が完成する。このようにして製造した半導体装置の断面図を第4図に示す。チップ搭載ベース2上にチップ7が搭載されワイヤ8を介してチップ接続

以上のような半導体装置は樹脂封止部4内のリード端子のチップ接続リード部3aの肉厚が薄く、樹脂封止部4の外側のリード端子の外形接続リード部3bの肉厚が厚いためリード端子を樹脂封止部内に高密度に収容でき従って多数のリード端子を有する半導体装置を小型化することができ、しかもその強度は充分強く保つことができる。

なお、以上のようなリードフレーム構成においては、チップ搭載ベースおよびその周囲のリード端子のチップ接続リード部は肉厚が薄い。したがってこれらの部分は機械的強度が低く、特にリード端子のチップ接続リード部はより容易に折れ、半導体素子から導出されたリード線の接続を切断としてしまう可能性が多い。

そこで本発明においては、第5図に示される如く、リードフレームの、チップ搭載ベース2の周囲に配置されるリード端子のチップ接続リード部3aの相互間を補助フレーム11にて橋状に連続したものとして形成することも可能である。この

部3aは実質し離く相互の間隔は保持される。したがって、半導体素子から導出されたリード線の、該チップ接続リード部への接続は容易に行なうことができる。補助フレーム11は、前記リード線の接続が終了した後、切断除去される。

1. 図面の簡単な説明

第1図は本発明に係るリードフレームの一実施例の部分平面図、第2図は第1図のⅠ-Ⅰ断面図、第3図は本発明に係るリードフレームの形成過程を順次示す部分平面図、第4図は本発明に係る半導体パッケージの断面図、第5図は本発明に係るリードフレームの他の実施例を示す部分平面図である。

- 1 ……リードフレーム
- 2 ……チップ搭載ベース
- 3 ……リード端子
- 3a ……チップ接続リード部
- 3b ……外部接続リード部
- 4 ……樹脂封止部
- 5 ……薄肉部

B ……薄肉部。

発 出 願 人

富士通株式会社

特許出願代理人

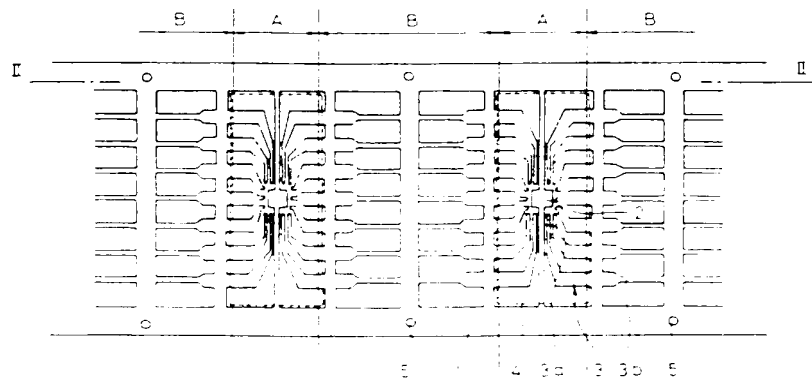
弁理士 青 木 明

弁理士 西 館 和 之

弁理士 内 田 幸 男

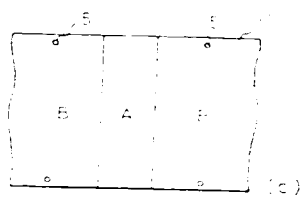
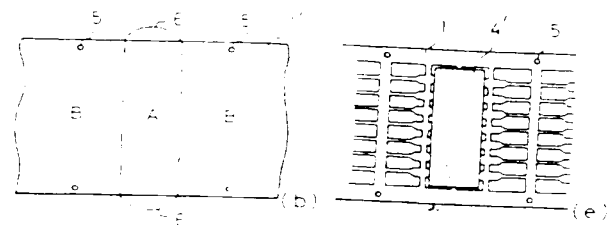
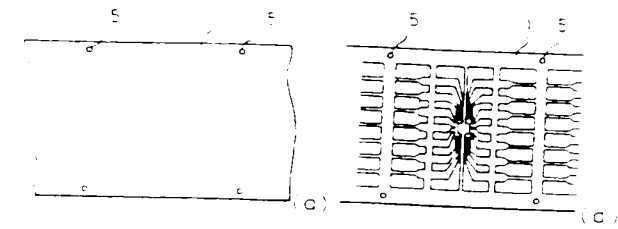
弁理士 (山) 口 昭 之

第 1 図

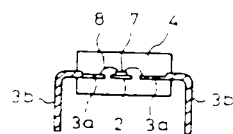


第 2 図

第 3 圖



第 4 圖



特開昭 55-163858 (4)

第 5 圖

